

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-100316

(43)Date of publication of application : **07.04.2000**

(51)Int.Cl. **H01J 1/312**

H01J 1/30

(21)Application number : **10-272342** (71)Applicant : **MATSUSHITA ELECTRIC
WORKS LTD**

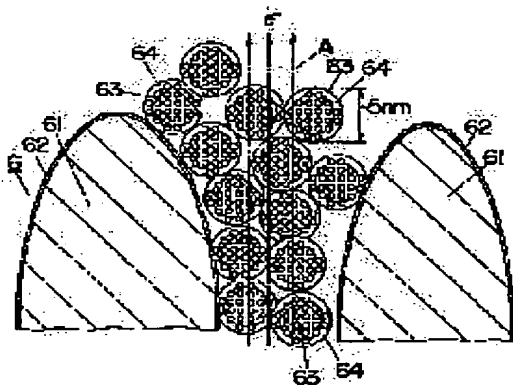
(22)Date of filing : **25.09.1998** (72)Inventor : **KOMODA TAKUYA**
KOSHIDA NOBUYOSHI

(54) FIELD EMISSION TYPE ELECTRON SOURCE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an low-cost field emission type electron source that can stably and highly efficiently emit electrons.

SOLUTION: Electrons injected from a conductive board into a porous polysilicon layer 6 quickly thermally oxidized as a strong electric field drift layer drift towards the surface in the porous polysilicon layer 6 and are emitted through a metallic thin film formed on the porous polysilicon layer 6. The porous polysilicon layer 6 is constituted with at least semiconductor crystal polysilicon columns 61, this silicon oxide films 62 formed on the surface of the polysilicon columns 61, microcrystal



silicon layers 63 of nanometer-order of semiconductor microcrystal that exist between the polysilicon columns 61, and silicon oxide films 64 that are formed on the surface of the microcrystal silicon layers 63 are insulating films with a film thickness smaller than the crystal grain diameter of the microcrystal silicon layers 63, and the electrons are accelerated by strong electric field impressed on the silicon oxide films 64.

CLAIMS

[Claim(s)]

[Claim 1] A conductive substrate and a strong electric field drift layer formed in the 1 surface side of a conductive substrate characterized by comprising the following, A field emission type electron source which it has a metal thin film formed on this strong electric field drift layer, and an electron poured in from a conductive substrate by impressing voltage as an anode to a conductive substrate in a metal thin film carries out the drift of the strong electric field drift layer, and is emitted through a metal thin film.

A pillar-shaped semiconducting crystal installed successively by a main table side of a conductive substrate and said strong electric field drift layer crossing at right angles abbreviated at least.

Semiconductor micro crystallite of nanometer order which intervenes between semiconducting crystals.

An insulator layer of thickness which is formed in the surface of semiconductor micro crystallite and in which the semiconductor micro crystallite concerned is smaller than a crystal grain diameter.

[Claim 2] The field emission type electron source according to claim 1, wherein said semiconducting crystal consists of polysilicon.

[Claim 3] The field emission type electron source according to claim 1 or 2, wherein said insulator layer consists of oxide films.

[Claim 4] The field emission type electron source according to claim 1 or 2, wherein said insulator layer consists of nitrides.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the field emission type electron source it was made to emit an electron beam by field emission using a semiconductor material.

[0002]

[Description of the Prior Art] There are some which are conventionally called what is called a Spindt (Spindt) type electrode currently indicated by the U.S. Pat. No. 3665241 item etc., for example as a field emission type electron source. The substrate which has

arranged much triangular pyramid shape emitter tips with this minute Spindt type electrode, In a vacuum emitter tips by impressing high tension as a negative electrode to a gate layer by having a gate layer arranged in the form insulated to emitter tips, while having a radiation hole to which the tip part of emitter tips is exposed, An electron beam is emitted through a radiation hole from the tip of emitter tips.

[0003]However, while the Spindt type electrode had the complicated manufacturing process, it was difficult to constitute much triangular pyramid shape emitter tips with sufficient accuracy, for example, when applying to a flat-surface luminescent device, a display, etc., there was a problem that large-area-izing was difficult. Since an electric field concentrates the Spindt type electrode at the tip of emitter tips, In the case so that the surrounding degree of vacuum at the tip of emitter tips may be low and residual gas may exist. Since residual gas is ionized by the positive ion and a positive ion collides at the tip of emitter tips with the emitted electron, The problem that the tip of emitter tips will receive a damage (for example, damage by an ion bombardment), and current density, efficiency, etc. of the electron emitted will become unstable, or the life of emitter tips will become short arises. Therefore, in the Spindt type electrode, in order to prevent generating of this kind of problem, while it needed to be used by the high vacuum (10^{-5}Pa - 10^{-6}Pa) and cost became high, there was fault that handling became troublesome.

[0004]In order to improve this kind of fault, the MIM (Metal Insulator Metal) method and MOS (Metal Oxide Semiconductor) type field emission type electron source is proposed. It is a flat-surface [where the former has metal-insulator layer-metal and the latter has a laminated structure of a metal-oxide film-semiconductor] type field emission type electron source. However, in order to raise electronic radiant efficiency in this type of field emission type electron source, it is necessary to make thin thickness of the above-mentioned insulator layer or the above-mentioned oxide film but (in order to make many electrons emit), and, There is a possibility of causing a dielectric breakdown when voltage is impressed to inter-electrode [of the upper and lower sides of the above-mentioned laminated structure] if thickness of the above-mentioned insulator layer or the above-mentioned oxide film is made thin too much, Since thin film-ization of the thickness of the above-mentioned insulator layer or the above-mentioned oxide film had restrictions in order to prevent such a dielectric breakdown, there was fault that electronic emission efficiency (drawer efficiency) could not be made not much high.

[0005]In recent years, as indicated by JP,8-250766,A, A porosity semiconductor layer (for example, porous silicon layer) is formed by anodizing the main table side side of the semiconductor substrate using the semiconductor substrate of single crystals, such

as a silicon substrate, A metal thin film is formed on the porosity semiconductor layer, and the field emission type electron source (semiconductor cold electron emission element) constituted so that voltage might be impressed between a semiconductor substrate and a metal thin film and an electron might be made to emit to it is proposed.

[0006]

[Problem(s) to be Solved by the Invention]However, in a field emission type electron source given in above-mentioned JP,8-250766,A, since a substrate is restricted to a semiconductor substrate, there are fault that large-area-izing and cost-cut-izing are difficult, and fault of being easy to generate what is called a popping phenomenon at the time of electron emission. In the field emission type electron source which a popping phenomenon generates at the time of electron emission, since unevenness happens to the amount of emission electron easily, when it applies to a flat-surface luminescent device, a display device, etc., there is fault that luminescence unevenness will be made.

[0007]Succeeding in this invention in view of the above-mentioned reason, the purpose is to provide the field emission type electron source of the low cost which it is stabilized, is efficient and can emit electrons.

[0008]

[Means for Solving the Problem]A strong electric field drift layer by which an invention of claim 1 was formed to achieve the above objects in the 1 surface side of a conductive substrate and a conductive substrate, It is a field emission type electron source which it has a metal thin film formed on this strong electric field drift layer, and an electron poured in from a conductive substrate by impressing voltage as an anode to a conductive substrate in a metal thin film carries out the drift of the strong electric field drift layer, and is emitted through a metal thin film, At least said strong electric field drift layer abbreviated to a main table side of a conductive substrate A pillar-shaped semiconducting crystal installed successively by intersecting perpendicularly, It is a thing being formed in the surface of semiconductor micro crystallite of nanometer order which intervenes between semiconducting crystals, and semiconductor micro crystallite, and consisting of an insulator layer of thickness smaller than a crystal grain diameter of the semiconductor micro crystallite concerned, Small, at the time of electron emission, a popping phenomenon does not occur and is stabilized, and the degree-of-vacuum dependency of an electron emission characteristic can be efficient, and can emit electrons, Since a substrate in which a conductive film was formed etc. can also be used for a glass substrate other than semiconductor substrates, such as a single crystal silicon substrate, etc. as a conductive substrate, Compared with a case where a porosity semiconductor layer which porosity-ized a semiconductor substrate like before is used,

or the Spindt type electrode, it is effective in large-area-izing and low-cost-izing of an electron source being attained.

[0009]In an invention of claim 2, said semiconducting crystal consists of polysilicon in an invention of claim 1.

[0010]In an invention of claim 3, said insulator layer consists of oxide films in an invention of claim 1 or claim 2.

[0011]In an invention of claim 4, said insulator layer consists of nitrides in an invention of claim 1 or claim 2.

[0012]By the way, this invention person with structure of a statement wholeheartedly to JP,8-250766,A explained by a Prior art as a result of research. Knowledge that a rise of substrate temperature when the adiathermancy of a field emission type electron source is high since a porous silicon layer formed by porosity-izing the main table side side of a single crystal silicon substrate constituted a strong electric field drift layer into which an electron is poured, voltage is impressed and current flows was comparatively large was acquired. Since resistance of a semiconductor substrate fell and an electronic burst size increased while an electron was thermally excited by this rise in heat, this was easy to produce a popping phenomenon at the time of electron emission, and knowledge that unevenness happens to the amount of emission electron easily was acquired. Then, an artificer performed this invention based on the above-mentioned knowledge.

[0013]

[Embodiment of the Invention]A main process sectional view [in / for the outline lineblock diagram of the field emission type electron source 10 of this embodiment / to drawing 3 (a) - (e) / the manufacturing method of the field emission type electron source 10] is shown in drawing 2. In this embodiment, the n type silicon substrate 1 (substrate whose resistivity is abbreviated 0.1-ohmcm (100)) is used as a conductive substrate.

[0014]As the field emission type electron source 10 of this embodiment is shown in drawing 2, the polysilicon layer 5 by which rapid thermal oxidation was carried out is formed on the main table side of the n type silicon substrate 1, The porosity polysilicon layer 6 by which rapid thermal oxidation was carried out is formed on this polysilicon layer 5, and the metal thin film slack gold thin film 7 is formed on this porosity polysilicon layer 6. The ohmic electrode 2 is formed in the rear face of the n type silicon substrate 1.

[0015]By the way, in this embodiment, although the n type silicon substrate 1 is used as a conductive substrate, into a vacuum, a conductive substrate supports the above-mentioned porosity polysilicon layer 6, and, moreover, pours in an electron to the porosity polysilicon layer 6 while constituting the negative electrode of the field

emission type electron source 10.

[0016]The above-mentioned porosity polysilicon layer 6 is a strong electric field drift layer in which the electron poured in from the conductive substrate carries out a drift, when voltage is impressed between a conductive substrate and a metal thin film.

[0017]Hereafter, it explains, referring to drawing 3 for a manufacturing method.

[0018]First, after forming the ohmic electrode 2 in the rear face of the n type silicon substrate 1, when thickness forms in the surface of the n type silicon substrate 1 the non-doped polysilicon layer 3 which is abbreviated 1.5micrometer, structure as shown in drawing 3 (a) is acquired. Membrane formation of the polysilicon layer 3 was performed with the LPCVD method, and the film formation condition was 20 Pa in degree of vacuum, and it set the flow of 640 ** and monosilane gas to 600sccm for substrate temperature.

[0019]After forming the non-doped polysilicon layer 3, the electrolysis solution which consists of mixed liquor which mixed 55wt% of hydrogen fluoride solution and ethanol by the abbreviation 1:1 is used, By performing anodizing by constant current, using a platinum electrode (not shown) as a negative electrode, and performing an optical exposure to the polysilicon layer 3 by using the n type silicon substrate 1 (ohmic electrode 2) as an anode, Structure as the porosity polysilicon layer 4 (the PPS layer 4 is called hereafter) formed and shown in drawing 3 (b) is acquired. In this embodiment, as conditions for anodizing, while considering current density as 10 mA/cm² regularity and making anodization time into 30 seconds, the tungsten lamp of 500W performed the optical exposure on the surface of the polysilicon layer 3 during anodization. As a result, in this embodiment, the porosity polysilicon layer 4 whose thickness is abbreviated 1micrometer was formed. In this embodiment, although a part of polysilicon layer 3 is porosity-ized, polysilicon layer 3 all may be porosity-ized.

[0020]next, the structure shown in drawing 3 (c) is acquired by performing rapid thermal oxidation of the PPS layer 4 and the polysilicon layer 3 by rapid thermal oxidation (RTO:Rapid Thermal Oxidation) art. The PPS layer (the RTO-PPS layer 6 is called hereafter) to which rapid thermal oxidation of 6 was carried out in the polysilicon layer by which rapid thermal oxidation of 5 in drawing 3 (c) was carried out here is shown. As conditions for rapid thermal oxidation, oxidizing temperature was 900 ** and oxidation time was made into 1 hour. In this embodiment, since rapid thermal oxidation is performing oxidation of the PPS layer 4 and the polysilicon layer 3, it is possible to carry out temperature up to oxidizing temperature in several seconds, and the contamination oxidation at the time of the ON furnace which poses a problem with an oxidation system usual work tube type can be controlled.

[0021]Next, the field emission type electron source 10 of the structure shown in drawing 3 (d) and drawing 2 is acquired by forming by vacuum evaporation in the metal thin film slack gold thin film 7 on the RTO-PPS layer 6. Although thickness of the gold thin film 7 was set to abbreviated 10nm. by this embodiment here, this thickness in particular does not limit. The field emission type electron source 10 uses the gold thin film 7 as the anode (anode) of an electrode, and the diode which uses the ohmic electrode 2 as a negative electrode (cathode) is constituted. In this embodiment, although the metal thin film is formed by vacuum evaporation, the formation method of a metal thin film is not limited to vacuum evaporation, and may use a sputtering technique, for example.

[0022]Hereafter, the characteristic of the field emission type electron source 10 of this embodiment is explained.

[0023]The above-mentioned field emission type electron source 10 is introduced in a vacuum chamber (not shown), As shown in drawing 4, arrange the collector electrode 21 (radiation electronic collection electrode) in the gold thin film 7 and the position which counters, and the degree of vacuum in a vacuum chamber is set to $5 \times 10^{-5} \text{Pa}$, While impressing the direct current voltage V_{ps} between the gold thin film 7 and the ohmic electrode 2, By impressing the direct current voltage V_c between the collector electrode 21 and the gold thin film 7, The diode current I_{ps} which flows between the gold thin film 7 and the ohmic electrode 2, The result of having measured the emission-electron current I_e which flows between the collector electrode 21 and the gold thin film 7 by electronic e^- (the dashed dotted line in drawing 4 shows radiation electron flow in addition) emitted through the gold thin film 7 from the field emission type electron source 10 is shown in drawing 5. The gold thin film 7 impresses the direct current voltage V_{ps} here as an anode to the ohmic electrode 2 (getting it blocked n type silicon substrate 1), and the collector electrode 21 is impressing the direct current voltage V_c as an anode to the gold thin film 7.

[0024]The horizontal axis of drawing 5 shows the value of the direct current voltage V_{ps} , a vertical axis shows current density, I (O) in the figure shows the diode current I_{ps} , and RO (-) in the figure shows the emission-electron current I_e . Direct current voltage V_c was considered as 100V regularity.

[0025]The emission-electron current I_e was observed only when the direct current voltage V_{ps} was positive, and it increased the diode current I_{ps} and the emission-electron current I_e as the value of the direct current voltage V_{ps} was made to increase, so that drawing 5 might also show. When direct current voltage V_{ps} is set to 15V, the current density of the diode current I_{ps} For example, abbreviated 100mA/[cm]

², The current density of the emission-electron current I_e is abbreviated $10\mu\text{A}/\text{cm}^2$, The value of this emission-electron current I_e is a big value compared with the field emission type electron source which used the porous silicon layer formed by porosity-izing the surface of the single crystal silicon substrate explained by the conventional example as a strong electric field drift layer. (For example, according to Institute of Electronics, Information and Communication Engineers ED96-141 and P41-46.) when direct current voltage V_{ps} is set to 15V, the current density of abbreviated $40\text{ mA}/\text{cm}^2$ and the emission-electron current I_e of the current density of the diode current I_{ps} is abbreviated $1\mu\text{A}/\text{cm}^2$ -- it turns out that the emission efficiency of the electron of the field emission type electron source 10 of this embodiment is high.

[0026]The result of having carried out the Fowler-Nordheim (Fowler NORUDOHAIMU) plot of the data about this emission-electron current I_e and direct current voltage V_{ps} is shown in drawing 6. From drawing 6, since each data gets on a straight line, it is estimated that this emission-electron current I_e is current by discharge of the electron by the quantum tunnel effect.

[0027]Drawing 7 is a graph which shows aging of the diode current I_{ps} of the field emission type electron source 10 of this embodiment, and each emission-electron current I_e , a horizontal axis is time, a vertical axis is current density, I in the figure shows the diode current I_{ps} , and RO in the figure shows the emission-electron current I_e . Drawing 7 is a result when direct current voltage V_{ps} is considered as 15V regularity and it considers direct current voltage V_c as 100V regularity. By the field emission type electron source 10 of this embodiment, both the diode current I_{ps} and the emission-electron current I_e are not observed, but even if time passes, the popping phenomenon can maintain the approximately regulated diode current I_{ps} and the emission-electron current I_e , so that drawing 7 may show. The stable characteristic with little aging of such emission-electron current I_e is the characteristic which is not obtained in the field emission type electron source realized by porosity-izing the surface of the conventional MIM method or a single crystal silicon substrate, and is the characteristic obtained by adopting the structure of this invention.

[0028]Next, the degree-of-vacuum dependency of the emission-electron current I_e of the field emission type electron source 10 of this embodiment is explained. Drawing 8 shows change of the diode current I_{ps} when changing a degree of vacuum by making the circumference of the field emission type electron source 10 of this embodiment into Ar gas atmosphere, and the emission-electron current I_e . As for drawing 8, horizontal axes are [a degree of vacuum and a vertical axis] current densities, I (O) in the figure

shows the diode current I_{ps} , and RO (-) in the figure shows the emission-electron current I_e . In the range whose degree of vacuum is 10^{-4}Pa - 1Pa , the approximately regulated emission-electron current I_e is acquired from drawing 8, and it turns out that the degree-of-vacuum dependency of the emission-electron current I_e is small. Namely, since the degree-of-vacuum dependency of an electron emission characteristic is small, the field emission type electron source 10 of this embodiment, It can be stabilized even if a degree of vacuum changes somewhat, electrons can be emitted efficiently (radiation), and since a good electron emission characteristic is acquired also with the degree of low vacuum and it is not necessary to use it by a high vacuum like before, handling becomes easy while being able to attain low cost-ization of the device using the field emission type electron source 10.

[0029]Next, the mechanism of the electron emission of the field emission type electron source of this embodiment is explained.

[0030]First, in order to investigate the mechanism of electron emission, when PPS layer 4 section of the sample of drawing 3 (b) after anodizing was observed by TEM (transmission electron microscope), it was checked that the crystallite silicon layer of nanometer order (around 5 nm in diameter) is growing around pillar-shaped polysilicon. When the section of the sample of drawing 3 (a) after polysilicon layer 3 membrane formation was observed by TEM, it was checked that the polysilicon layer 3 comprises an aggregate (columnar structure) of the thin pillar-shaped grain (crystal grain) of a film growth direction (sliding direction of drawing 3 (a)). As a result of comparing these audit observations by TEM, the anodization reaction of the polysilicon layer 3 progresses preferentially on the boundary of a grain, that is, anodization advances between the pillar of a columnar structure, and pillars to a depth direction, and after anodization is considered that the structure of a pillar-shaped silicon grain remains. Since this becomes quick compared with the case where the formation speed of a porous layer (PPS layer 4) anodizes a single crystal silicon substrate, and forms a porous silicon layer, While the space density of the crystallite silicon layer of the nanometer order in which a quantum locked-in effect shows up becomes low, it is thought that a pillar-shaped, comparatively large grain remains. In here, that a pillar-shaped grain structure remains If it sees from control, and structural and thermal stability of electrical conductivity, The porous polycrystalline silicon formed by carrying out anodizing of the polysilicon layer of a columnar structure can also consider suddenly the character superior to the porous polycrystalline silicon formed by carrying out anodizing of the usual massive polysilicon layer.

[0031]From the result of above-mentioned TEM observation, the porosity polysilicon

layer 6 (RTO-PPS layer 6) which is shown in drawing 3 (d) and by which rapid thermal oxidation was carried out, That is, the polysilicon 61 which is a pillar-shaped semiconducting crystal at least as a strong electric field drift layer is shown in drawing 1, The thin silicon oxide 62 formed in the surface of the polysilicon 61, and the crystallite silicon layer 63 which is the semiconductor micro crystallite of the nanometer order which intervenes between the pillar-shaped polysilicon 61, It is formed in the surface of the crystallite silicon layer 63, and it is thought that it comprises the silicon oxide 64 which is an insulator layer of thickness smaller than the crystal grain diameter of the crystallite silicon layer 63 concerned.

[0032]A deer is carried out and it is thought according to the field emission type electron source 10 of this embodiment that electron emission happens with the following models. That is, when the direct current voltage V_{ps} which impresses the gold thin film 7 as an anode to the n type silicon substrate 1 reaches a predetermined value (critical value), electronic e^- is injected into the RTO-PPS layer 6 by thermal excitation from the n type silicon substrate 1 side. On the other hand, since most electric fields impressed to the RTO-PPS layer 6 are built over the silicon oxide 64, The strong electric field concerning the oxide film 64 accelerates, and the poured-in electron carries out the drift (going to above [in drawing 1]) of the space between the polysilicon 61 in the RTO-PPS layer 6 to direction of the arrow A in drawing 1 toward the surface. Since the drift length of the electron in a RTO-PPS layer is dramatically large here compared with the particle diameter of the crystallite silicon layer 63 like the after-mentioned, it arrives at the surface of the RTO-PPS layer 6, without almost causing a collision. Electronic e^- which arrived at the surface of the RTO-PPS layer 6 is a hot electron, and since a hot electron has the energy more than the number kT rather than a thermal equilibrium state, it tunnels the gold thin film 7 easily via the oxidizing zone of the outermost surface of the RTO-PPS layer 6, and is emitted into a vacuum.

[0033]By the way, in the field emission type electron source 10 of this embodiment, as above-mentioned drawing 7 explained, it can be efficient, it can be stabilized, without a popping noise occurring, and can emit electrons, but. This from the surface of each grain porosity-izing the RTO-PPS layer 6, and the crystallized state being maintained in the center section (polysilicon 61 of drawing 1) of each grain. The heat produced by impression of voltage conducts the portion (polysilicon 61 of drawing 1) in which the above-mentioned crystallized state was maintained, it is emitted outside, and it is estimated that it is because a rise in heat is controlled.

[0034]When the above is summarized, the strong electric field drift layer slack RTO-PPS layer 6, It has semi insulating [in which a strong electric field may exist],

and there is little electronic dispersion, drift length is large, and since it has further only the thermal conductivity which stops the thermal run-away of the diode current I_{ps} , it is thought that it can be efficient, it can be stabilized and electrons can be emitted.

[0035]As a matter which supports the mechanism of the electron emission by the tunneling of the above hot electrons, the strong electric field effect on the surface of **, the drift length of ** electron, the energy distribution of ** emission electron, and each are explained.

** The diode formed with the porous silicon produced by anodizing n form single crystal silicon substrate explained by the strong electric field effect conventional example in the surface. In the low voltage region which is not reached to cold electron emission in (porous silicon diode is called hereafter), electroluminescence (EL is called hereafter) luminescence is observed first. Considering this luminescent mechanism, by what kind of mechanism generating of a hole required since a substrate is n form, in order that an electron may carry out radiative recombination of it takes place poses a problem. The electronic tunneling to the conducting zone of the crystallite silicon layer which adjoined as a mechanism of production of a hole from the valence band of the analysis of the EL luminescence characteristic to the crystallite silicon layer, And two processes of electron-avalanche ** by an ionization by collision are proposed (T. Oguro et al, J.Appl.Phys.81 (1997) 1407-1412).

[0036]Each of these two processes is the effects which may be produced without existence of a strong electric field. According to the estimate based on the measurement result of the excited-wavelengths dependency of PL quenching by an impressed electric field, with the porous silicon diode at the time of EL luminescence, the strong electric field about 10^6 V/cm exists in the comparatively shallow field in hundreds of nm Fukashi from the surface of a porous silicon layer. Since electron emission begins from impressed electromotive force still higher than EL, it is considered that the hot electron is participating in electron emission.

[0037]On the other hand, especially by this embodiment, since the oxidizing zone is concentrated and formed in the surface side of the RTO-PPS layer 6 by RTO processing, it is thought that the strong electric field produced near the surface has caused generation and tunnel discharge of a hot electron like a porous silicon layer.

** According to the result of the career time-of-flight (time-of-flight:TOF) measurement relevant to the photoconductive effect of the electronic drift length porous silicon layer. It is reported that the drift length of the career in the porous silicon layer under a strong electric field (10^5 V/cm) also amounts to about 1 micrometer (R. Sedlacik et al, Thin Solid Films 255 (1993) 269-271). This is a value far exceeding the

size of the crystallite silicon layer in a porous silicon layer, and it means that a conduction electron can become hot easily. In short, the electronic conduction in a porous silicon layer is governed -- **** -- it can be said that they are interface organizations, such as thin silicon oxide between the surface layer of the crystallite silicon layer in which not the single-crystal-silicon structure itself but a strong electric field exists thru/or a crystallite silicon layer.

[0038] These things are applied also to the RTO-PPS layer 6 in this embodiment. When a comparable electric field exists, it is guessed easily that electronic drift length becomes long enough compared with the grain size (this embodiment 200 nm thru/or 300 nm) of the polysilicon 61, and the electron which arrived at the surface has become a hot electron.

** The result of having measured the energy distribution of energy [of the electron emitted from the field emission type electron source 10 of the energy distribution book embodiment of the emission electron] $N(E)$ is shown in drawing 9. In drawing 9, when I sets direct current voltage V_{ps} to 12V and RO sets direct current voltage V_{ps} to 15V, Ha shows the case where direct current voltage V_{ps} is set to 18V, respectively.

[0039] Drawing 9 showed that the energy distribution of electronic energy $N(E)$ was broadcloth comparatively, the several electron volts high energy ingredient was moreover included, and a peak position shifted to the high energy side with the increase in the direct current voltage V_{ps} to impress. Therefore, it is thought that there is little electronic dispersion in the RTO-PPS layer 6, and the electron which reached the surface side of the RTO-PPS layer 6 is a hot electron which has sufficient energy. That is, it is thought that the false ballistic trajectory type (ballistic) electron emission phenomenon has happened.

[0040] That the electron which arrived at the surface of the RTO-PPS layer 6 has not received strong dispersion eased even to a thermal equilibrium state has little energy loss within the RTO-PPS layer 6, i.e., thermogeneration, and it induces the effect of holding the diode current I_{ps} uniformly. It is thought that the pillar-shaped polysilicon 61 (refer to drawing 1) which remains in the RTO-PPS layer 6 contributed to diffusion of heat, and has controlled generating of a popping noise.

[0041] Although anodizing has been performed to the polysilicon layer 3 which has the columnar structure deposited on the n type silicon substrate 1 in the above-mentioned embodiment, as long as structure as eventually shown in drawing 1 is acquired, a massive polysilicon layer is deposited and anodizing may be performed. Micro processing of the surface side of the n type silicon substrate 1 is carried out pillar-shaped from the main table side of the n type silicon substrate 1 to a prescribed

depth, and it may be made to perform anodizing instead of depositing the polysilicon layer 3.

[0042]By the way, although the n type silicon substrate 1 (substrate whose resistivity is abbreviated 0.1-ohmcm (100)) is used as a conductive substrate in the above-mentioned embodiment, A conductive substrate is not what is limited to a n type silicon substrate. To metal substrates, such as chromium, a glass substrate, etc., for example, a transparent conductive thin film. (For example, ITO:Indium Tin Oxide) The substrate in which conductive films, such as platinum and chromium, were formed etc. may be used, and large-area-izing and low cost-ization are attained compared with the case where semiconductor substrates, such as a n type silicon substrate, are used.

[0043]When a conductive substrate is a semiconductor substrate, after it may perform membrane formation of the polysilicon layer 3 by the LPCVD method or a sputtering technique or, it forms an amorphous silicon with plasma CVD method, it may be made to crystallize by performing annealing treatment, and it may form membranes. In the case of the substrate with which the conductive substrate formed the conductive thin film in the glass substrate, after forming an amorphous silicon on a conductive thin film with a CVD method, the polysilicon layer 3 may be formed by annealing by excimer laser. The method of forming the polysilicon layer 3 on a conductive thin film is not limited to a CVD method, and may use the CGS (Continuous Grain Silicon) method, catalyst CVD method, etc., for example. When making the polysilicon layer 3 deposit on a substrate with a CVD method etc., since the orientation of a substrate influences strongly, the polysilicon layer to deposit, What is necessary is just to set up the deposition conditions which grow perpendicularly pillar-shaped to the main table side of a substrate, in making the polysilicon layer 3 deposit on substrates other than a single-crystal-silicon (100) board.

[0044]In the above-mentioned embodiment, although rapid thermal oxidation of the PPS layer 4 and the polysilicon layer 3 is carried out by RTO art, even if it oxidizes not only by rapid thermal oxidation but by the chemical method, it may give up, and may oxidize by oxygen plasma. It may be made the nitriding instead of oxidation and what is necessary is just to use methods, such as nitriding, thermal nitriding, etc. by nitrogen plasma, in nitriding. That is, a silicon nitride film may be adopted as an insulator layer instead of the insulator layer which consists of the silicon oxide 64 in drawing 1.

[0045]In the above-mentioned embodiment, although the gold thin film 7 is used as a metal thin film, the material of a metal thin film is not limited to gold, should just be small metal of a work function, for example, may use aluminum, chromium, tungsten, nickel, platinum, etc. As for the work function of 4.50 eV and tungsten, the work

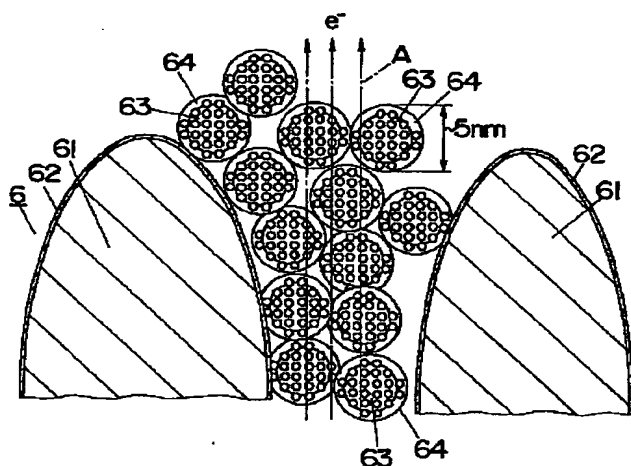
function of 5.10 eV and aluminum is [work function which is gold here / work function of 4.28 eV and chromium / the work function of 5.15 eV and platinum of the work function of 4.55 eV and nickel] 5.65 eV.

[0046]

[Effect of the Invention]The strong electric field drift layer by which the invention of claim 1 thru/or claim 4 was formed in the 1 surface side of a conductive substrate and a conductive substrate, It is a field emission type electron source which it has the metal thin film formed on this strong electric field drift layer, and the electron poured in from the conductive substrate by impressing voltage as an anode to a conductive substrate in the metal thin film carries out the drift of the strong electric field drift layer, and is emitted through a metal thin film, At least said strong electric field drift layer abbreviated to the main table side of a conductive substrate The pillar-shaped semiconducting crystal installed successively by intersecting perpendicularly, Since it is formed in the surface of the semiconductor micro crystallite of the nanometer order which intervenes between semiconducting crystals, and semiconductor micro crystallite and consists of an insulator layer of thickness smaller than the crystal grain diameter of the semiconductor micro crystallite concerned, Small, at the time of electron emission, a popping phenomenon does not occur and is stabilized, and the degree-of-vacuum dependency of an electron emission characteristic can be efficient, and can emit electrons, Since the substrate in which the conductive film was formed etc. can also be used for a glass substrate other than semiconductor substrates, such as a single crystal silicon substrate, etc. as a conductive substrate, Compared with the case where the porosity semiconductor layer which porosity-ized the semiconductor substrate like before is used, or the Spindt type electrode, it is effective in large-area-izing and low-cost-izing of an electron source being attained.

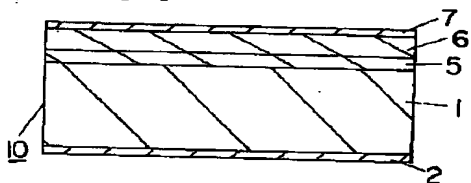
DRAWINGS

[Drawing 1]

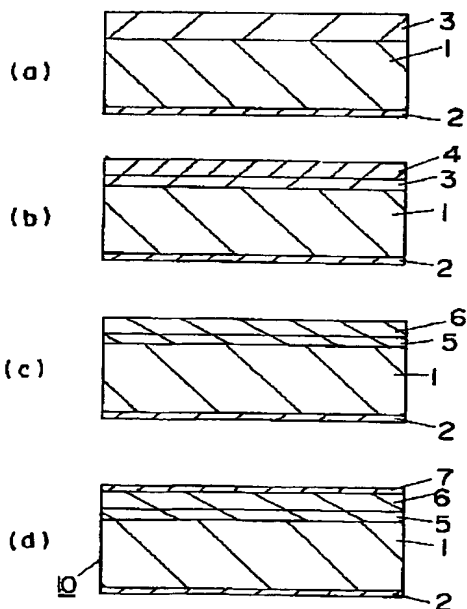


- 6 急速熱酸化された多孔質ポリシリコン層
- 61 ポリシリコン
- 62 シリコン酸化膜
- 63 微結晶シリコン層
- 64 シリコン酸化膜

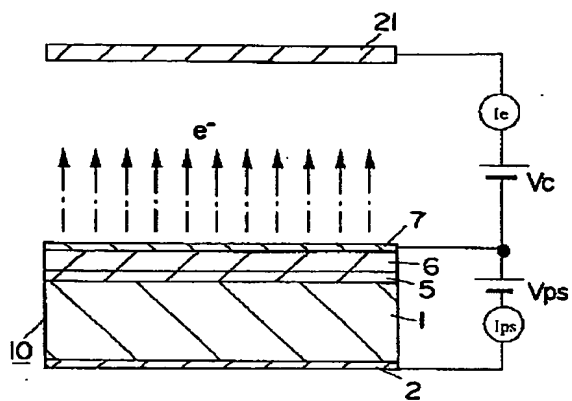
[Drawing 2]



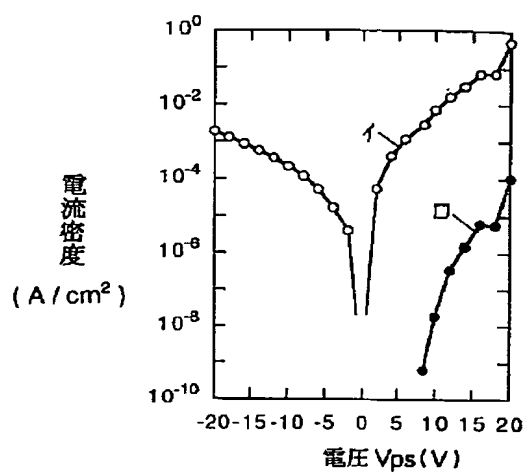
[Drawing 3]



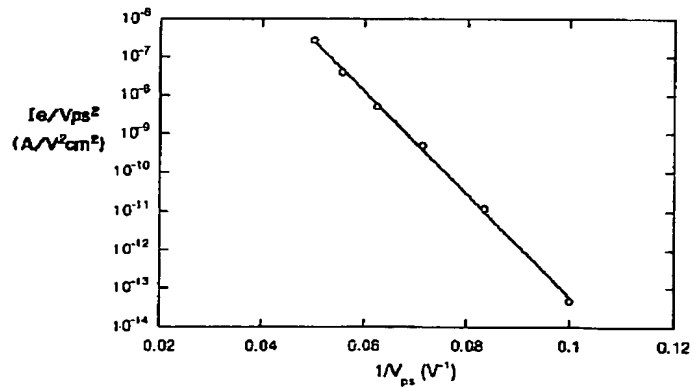
[Drawing 4]



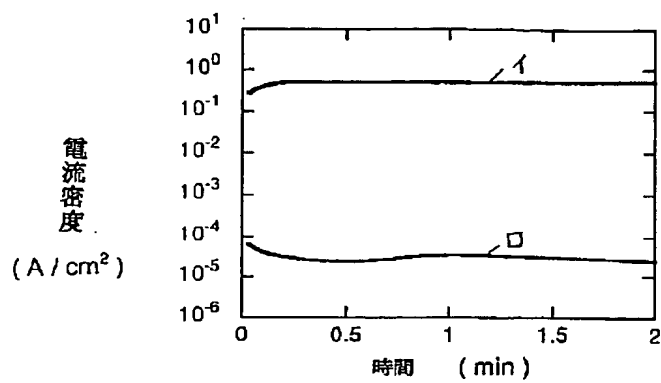
[Drawing 5]



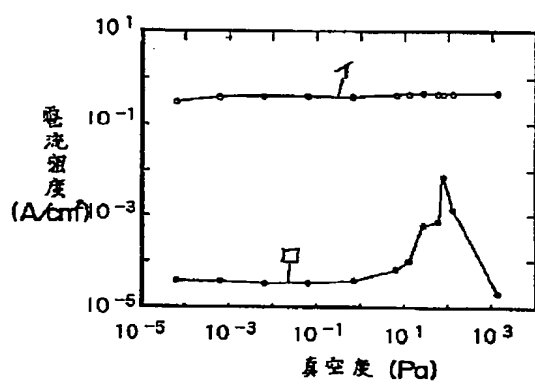
[Drawing 6]



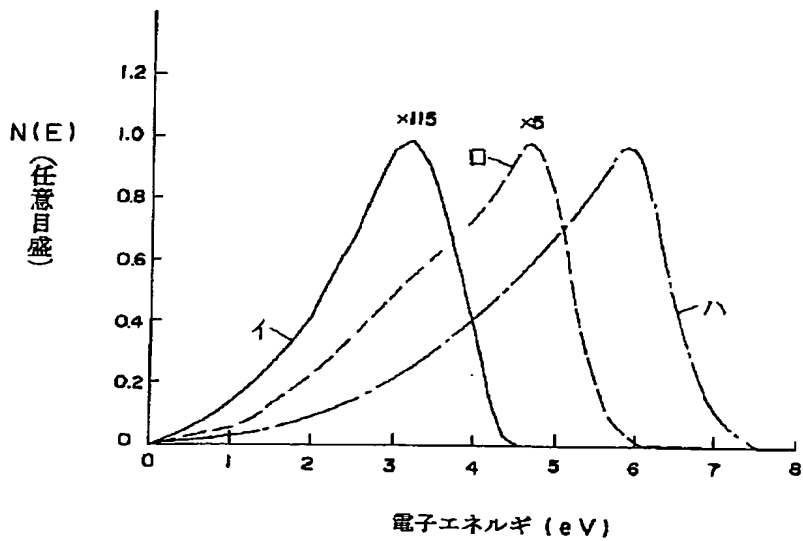
[Drawing 7]



[Drawing 8]



[Drawing 9]



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-100316

(P2000-100316A)

(43) 公開日 平成12年4月7日(2000.4.7)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 1 J 1/312
1/30

H 0 1 J 1/30

M 5 C 0 3 5
C

審査請求 有 請求項の数4 O L (全 8 頁)

(21) 出願番号

特願平10-272342

(22) 出願日

平成10年9月25日(1998.9.25)

(71) 出願人 000005832

松下電工株式会社

大阪府門真市大字門真1048番地

(72) 発明者 菰田 卓哉

大阪府門真市大字門真1048番地松下電工株式会社内

(72) 発明者 越田 信義

東京都小平市上水本町6-5-10-203

(74) 代理人 100087767

弁理士 西川 恵清 (外1名)

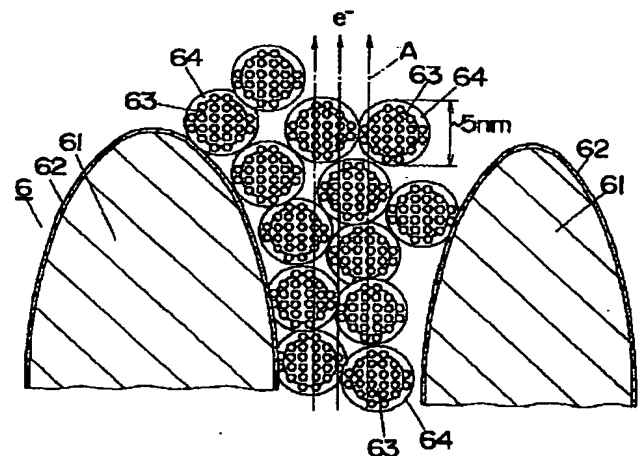
Fターム(参考) 50035 BB01

(54) 【発明の名称】 電界放射型電子源

(57) 【要約】

【課題】 電子を安定して高効率で放出できる低コストの電界放射型電子源を提供する。

【解決手段】 導電性基板から強電界ドリフト層たる急速熱酸化された多孔質ポリシリコン層6に注入された電子は、多孔質ポリシリコン層6内を表面に向かってドリフトし多孔質ポリシリコン層6上に形成された金属薄膜をトンネルして放出される。多孔質ポリシリコン層6は、少なくとも、柱状の半導体結晶であるポリシリコン61と、ポリシリコン61の表面に形成された薄いシリコン酸化膜62と、柱状のポリシリコン61間に介在するナノメートルオーダーの半導体微結晶である微結晶シリコン層63と、微結晶シリコン層63の表面に形成され当該微結晶シリコン層63の結晶粒径よりも小さな膜厚の絶縁膜であるシリコン酸化膜64とから構成され、電子はシリコン酸化膜64にかかる強電界により加速される。



6 急速熱酸化された多孔質ポリシリコン層

61 ポリシリコン

62 シリコン酸化膜

63 微結晶シリコン層

64 シリコン酸化膜

【特許請求の範囲】

【請求項 1】 導電性基板と、導電性基板の一表面側に形成された強電界ドリフト層と、該強電界ドリフト層上に形成された金属薄膜とを備え、金属薄膜を導電性基板に対して正極として電圧を印加することにより導電性基板から注入された電子が強電界ドリフト層をドリフトし金属薄膜を通して放出される電界放射型電子源であって、前記強電界ドリフト層は、少なくとも、導電性基板の主表面に略直交して列設された柱状の半導体結晶と、半導体結晶間に介在するナノメータオーダの半導体微結晶と、半導体微結晶の表面に形成され当該半導体微結晶の結晶粒径よりも小さな膜厚の絶縁膜とからなることを特徴とする電界放射型電子源。

【請求項 2】 前記半導体結晶は、ポリシリコンよりなることを特徴とする請求項 1 記載の電界放射型電子源。

【請求項 3】 前記絶縁膜は、酸化膜よりなることを特徴とする請求項 1 または請求項 2 記載の電界放射型電子源。

【請求項 4】 前記絶縁膜は、窒化膜よりなることを特徴とする請求項 1 または請求項 2 記載の電界放射型電子源。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体材料を用いて電界放射により電子線を放射するようにした電界放射型電子源に関するものである。

【0002】

【従来の技術】従来より、電界放射型電子源として、例えば米国特許 3665241 号などに開示されているいわゆるスピント (Spindt) 型電極と呼ばれるものがある。このスピント型電極は、微小な三角錐状のエミッタチップを多数配置した基板と、エミッタチップの先端部を露出させる放射孔を有するとともにエミッタチップに対して絶縁された形で配置されたゲート層とを備え、真空中にてエミッタチップをゲート層に対して負極として高電圧を印加することにより、エミッタチップの先端から放射孔を通して電子線を放射するものである。

【0003】しかしながら、スピント型電極は、製造プロセスが複雑であるとともに、多数の三角錐状のエミッタチップを精度良く構成することが難しく、例えば平面発光装置やディスプレイなどへ応用する場合に大面積化が難しいという問題があった。また、スピント型電極は、電界がエミッタチップの先端に集中するので、エミッタチップの先端の周りの真空度が低くて残留ガスが存在するような場合、放射された電子によって残留ガスがプラスイオンにイオン化され、プラスイオンがエミッタチップの先端に衝突するから、エミッタチップの先端がダメージ (例えば、イオン衝撃による損傷) を受け、放射される電子の電流密度や効率などが不安定になったり、エミッタチップの寿命が短くなってしまうという問

題が生じる。したがって、スピント型電極では、この種の問題の発生を防ぐために、高真空 (10^{-5} Pa ~ 10^{-6} Pa) で使用する必要があり、コストが高くなるとともに、取扱いが面倒になるという不具合があった。

【0004】この種の不具合を改善するために、MIM (Metal Insulator Metal) 方式や MOS (Metal Oxide Semiconductor) 型の電界放射型電子源が提案されている。前者は金属-絶縁膜-金属、後者は金属-酸化膜-半導体の積層構造を有する平面型の電界放射型電子源である。しかしながら、このタイプの電界放射型電子源において電子の放射効率を高めるためには (多くの電子を放射させるためには)、上記絶縁膜や上記酸化膜の膜厚を薄くする必要があるが、上記絶縁膜や上記酸化膜の膜厚を薄くしすぎると、上記積層構造の上下の電極間に電圧を印加した時に絶縁破壊を起こす恐れがあり、このような絶縁破壊を防止するためには上記絶縁膜や上記酸化膜の膜厚の薄膜化に制約があるので、電子の放出効率 (引き出し効率) をあまり高くできないという不具合があった。

【0005】また、近年では、特開平 8-250766 号公報に開示されているように、シリコン基板などの単結晶の半導体基板を用い、その半導体基板の主表面側を陽極酸化することにより多孔質半導体層 (例えば、ポラスシリコン層) を形成して、その多孔質半導体層上に金属薄膜を形成し、半導体基板と金属薄膜との間に電圧を印加して電子を放射させるように構成した電界放射型電子源 (半導体冷電子放出素子) が提案されている。

【0006】

【発明が解決しようとする課題】しかしながら、上述の特開平 8-250766 号公報に記載の電界放射型電子源では、基板が半導体基板に限られるので、大面積化やコストダウン化が難しいという不具合や、電子放出時にいわゆるポッピング現象が発生しやすいという不具合がある。電子放出時にポッピング現象が発生する電界放射型電子源では、放出電子量にむらが起こりやすいので、平面発光装置やディスプレイ装置などに応用した場合に、発光むらができてしまうという不具合がある。

【0007】本発明は上記事由に鑑みて為されたものであり、その目的は、電子を安定して高効率で放出できる低コストの電界放射型電子源を提供することにある。

【0008】

【課題を解決するための手段】請求項 1 の発明は、上記目的を達成するために、導電性基板と、導電性基板の一表面側に形成された強電界ドリフト層と、該強電界ドリフト層上に形成された金属薄膜とを備え、金属薄膜を導電性基板に対して正極として電圧を印加することにより導電性基板から注入された電子が強電界ドリフト層をドリフトし金属薄膜を通して放出される電界放射型電子源であって、前記強電界ドリフト層は、少なくとも、導電性基板の主表面に略直交して列設された柱状の半導体結

晶と、半導体結晶間に介在するナノメータオーダの半導体微結晶と、半導体微結晶の表面に形成され当該半導体微結晶の結晶粒径よりも小さな膜厚の絶縁膜とからなることを特徴とするものであり、電子放出特性の真空度依存性が小さく且つ電子放出時にポッピング現象が発生せず安定して高効率で電子を放出することができ、また、導電性基板として単結晶シリコン基板などの半導体基板の他にガラス基板などに導電性膜を形成した基板などを使用することもできるから、従来のように半導体基板を多孔質化した多孔質半導体層を利用する場合やスピント

【0009】請求項2の発明は、請求項1の発明において、前記半導体結晶が、ポリシリコンよりなることを特徴とする。

【0010】請求項3の発明は、請求項1または請求項2の発明において、前記絶縁膜が、酸化膜よりなることを特徴とする。

【0011】請求項4の発明は、請求項1または請求項2の発明において、前記絶縁膜が、窒化膜よりなることを特徴とする。

【0012】ところで、本発明者は、鋭意研究の結果、従来の技術で説明した特開平8-250766号公報に記載の構造では、単結晶シリコン基板の主表面側を多孔質化することにより形成されたポーラスシリコン層が電子の注入される強電界ドリフト層を構成しているため電界放射型電子源の断熱性が高く、電圧が印加され電流が流れた場合の基板温度の上昇が比較的大きいという知見を得た。さらに、該温度上昇により電子が熱的に励起されるとともに半導体基板の抵抗が下がり、電子の放出量が増えるので、これにより電子放出時にポッピング現象が生じやすく、放出電子量にむらが起こりやすいとの知見を得た。そこで、発明者は、上記知見に基づいて本発明を行った。

【0013】

【発明の実施の形態】図2に本実施形態の電界放射型電子源10の概略構成図を、図3(a)～(e)に電界放射型電子源10の製造方法における主要工程断面図を示す。なお、本実施形態では、導電性基板としてn形シリコン基板1（抵抗率が略 $0.1\Omega\text{cm}$ の(100)基板）を用いている。

【0014】本実施形態の電界放射型電子源10は、図2に示すように、n形シリコン基板1の主表面上に急速熱酸化されたポリシリコン層5が形成され、該ポリシリコン層5上に急速熱酸化された多孔質ポリシリコン層6が形成され、該多孔質ポリシリコン層6上に金属薄膜たる金薄膜7が形成されている。また、n形シリコン基板1の裏面にはオーミック電極2が形成されている。

【0015】ところで、本実施形態では、導電性基板としてn形シリコン基板1を用いているが、導電性基板

は、電界放射型電子源10の負極を構成するとともに真空中において上述の多孔質ポリシリコン層6を支持し、なお且つ、多孔質ポリシリコン層6へ電子を注入するのである。

【0016】また、上述の多孔質ポリシリコン層6は、導電性基板と金属薄膜との間に電圧を印加したときに導電性基板から注入された電子がドリフトする強電界ドリフト層である。

【0017】以下、製造方法について図3を参照しながら説明する。

【0018】まず、n形シリコン基板1の裏面にオーミック電極2を形成した後、n形シリコン基板1の表面に膜厚が略 $1.5\mu\text{m}$ のノンドープのポリシリコン層3を形成することにより図3(a)に示すような構造が得られる。ポリシリコン層3の成膜は、LPCVD法により行い、成膜条件は、真空度を 20Pa 、基板温度を 640°C 、モノシランガスの流量を 600scm とした。

【0019】ノンドープのポリシリコン層3を形成した後、 $55\text{wt}\%$ のフッ化水素水溶液とエタノールとを略 $1:1$ で混合した混合液よりなる電解液を用い、白金電極（図示せず）を負極、n形シリコン基板1（オーミック電極2）を正極として、ポリシリコン層3に光照射を行いながら定電流で陽極酸化処理を行うことによって、多孔質ポリシリコン層4（以下、PPS層4と称す）が形成され図3(b)に示すような構造が得られる。なお、本実施形態では、陽極酸化処理の条件として、電流密度を $10\text{mA}/\text{cm}^2$ 一定、陽極酸化時間を30秒とするとともに、陽極酸化中に 500W のタングステンランプによりポリシリコン層3の表面に光照射を行った。その結果、本実施形態では、膜厚が略 $1\mu\text{m}$ の多孔質ポリシリコン層4が形成された。なお、本実施形態では、ポリシリコン層3の一部を多孔質化しているが、ポリシリコン層3全部を多孔質化してもよい。

【0020】次に、急速熱酸化（RTO: Rapid Thermal Oxidation）技術によってPPS層4及びポリシリコン層3の急速熱酸化を行うことにより図3(c)に示す構造が得られる。ここに、図3(c)における5は急速熱酸化されたポリシリコン層を、6は急速熱酸化されたPPS層（以下、RTO-PPS層6と称す）を示す。急速熱酸化の条件としては、酸化温度を 900°C 、酸化時間を1時間とした。なお、本実施形態では、PPS層4及びポリシリコン層3の酸化を急速熱酸化により行っているため、数秒で酸化温度まで昇温することが可能であり、通常の炉心管タイプの酸化装置で問題となる入炉時の巻き込み酸化を抑制することができる。

【0021】次に、RTO-PPS層6上に金属薄膜たる金薄膜7を例えば蒸着により形成することによって、図3(d)および図2に示す構造の電界放射型電子源10が得られる。ここに、本実施形態では、金薄膜7の膜厚を略 10nm としたが、この膜厚は特に限定するもの

ではない。なお、電界放射型電子源 10 は金薄膜 7 を電極の正極（アノード）とし、オーミック電極 2 を負極

（カソード）とするダイオードが構成される。また、本実施形態では、金属薄膜を蒸着により形成しているが、金属薄膜の形成方法は蒸着に限定されるものではなく、例えばスパッタ法を用いてもよい。

【0022】以下、本実施形態の電界放射型電子源 10 の特性について説明する。

【0023】上述の電界放射型電子源 10 を真空チャンバ（図示せず）内に導入して、図 4 に示すように金薄膜 7 と対向する位置にコレクタ電極 21（放射電子収集電極）を配置し、真空チャンバ内の真空度を 5×10^{-6} Pa として、金薄膜 7 とオーミック電極 2 との間に直流電圧 V_{ps} を印加するとともに、コレクタ電極 21 と金薄膜 7 との間に直流電圧 V_c を印加することによって、金薄膜 7 とオーミック電極 2 との間に流れるダイオード電流 I_{ps} と、電界放射型電子源 10 から金薄膜 7 を通して放射される電子 e^- （なお、図 4 中の一点鎖線は放射電子流を示す）によりコレクタ電極 21 と金薄膜 7 との間に流れる放出電子電流 I_e とを測定した結果を図 5 に示す。ここに、金薄膜 7 はオーミック電極 2（つまり、n 形シリコン基板 1）に対して正極として直流電圧 V_{ps} を印加し、コレクタ電極 21 は金薄膜 7 に対して正極として直流電圧 V_c を印加している。

【0024】図 5 の横軸は直流電圧 V_{ps} の値を、縦軸は電流密度を示し、同図中のイ（○）がダイオード電流 I_{ps} を、同図中のロ（●）が放出電子電流 I_e を示す。なお、直流電圧 V_c は 100 V 一定とした。

【0025】図 5 から分かるように、放出電子電流 I_e は直流電圧 V_{ps} が正のときのみ観測され、直流電圧 V_{ps} の値を増加させるにつれてダイオード電流 I_{ps} 及び放出電子電流 I_e も増加した。例えば、直流電圧 V_{ps} を 15 V としたとき、ダイオード電流 I_{ps} の電流密度は略 100 mA/cm^2 、放出電子電流 I_e の電流密度は略 $10 \mu\text{A/cm}^2$ であり、この放出電子電流 I_e の値は従来例で説明した単結晶シリコン基板の表面を多孔質化することにより形成したポーラスシリコン層を強電界ドリフト層として利用した電界放射型電子源に比べて大きな値であり（例えば、電子情報通信学会 ED96-141, P41-46 によれば、直流電圧 V_{ps} を 15 V としたとき、ダイオード電流 I_{ps} の電流密度は略 40 mA/cm^2 、放出電子電流 I_e の電流密度は略 $1 \mu\text{A/cm}^2$ である）、本実施形態の電界放射型電子源 10 の電子の放出効率が高いことが分かる。

【0026】図 6 に、この放出電子電流 I_e と直流電圧 V_{ps} とに関するデータを Fowler-Nordheim（ファウラーノルドハイム）プロットした結果を示す。図 6 より、各データが直線上にのることから、この放出電子電流 I_e は量子的なトンネル効果による電子の放出による電流であると推考される。

【0027】図 7 は本実施形態の電界放射型電子源 10 のダイオード電流 I_{ps} および放出電子電流 I_e それぞれの経時変化を示すグラフであって、横軸が時間、縦軸が電流密度であり、同図中のイがダイオード電流 I_{ps} を、同図中のロが放出電子電流 I_e を示す。なお、図 7 は、直流電圧 V_{ps} を 15 V 一定、直流電圧 V_c を 100 V 一定とした場合の結果である。図 7 からわかるように、本実施形態の電界放射型電子源 10 では、ダイオード電流 I_{ps} 、放出電子電流 I_e 両方ともポッピング現象は観測されず、時間が経過しても略一定のダイオード電流 I_{ps} 及び放出電子電流 I_e を維持することができる。このような放出電子電流 I_e の経時変化の少ない安定した特性は、従来の MIM 方式や単結晶シリコン基板の表面を多孔質化することにより実現される電界放射型電子源では得られない特性であり、本発明の構造を採用することにより得られる特性である。

【0028】次に、本実施形態の電界放射型電子源 10 の放出電子電流 I_e の真空度依存性について説明する。図 8 は本実施形態の電界放射型電子源 10 の周囲を Ar ガス雰囲気として真空度を変化させたときのダイオード電流 I_{ps} 及び放出電子電流 I_e の変化を示す。図 8 は横軸が真空度、縦軸が電流密度であり、同図中のイ（○）がダイオード電流 I_{ps} を、同図中のロ（●）が放出電子電流 I_e を示す。図 8 から、真空度が 10^{-4} Pa ~ 1 Pa の範囲では略一定の放出電子電流 I_e が得られ、放出電子電流 I_e の真空度依存性が小さいことがわかる。すなわち、本実施形態の電界放射型電子源 10 は電子放出特性の真空度依存性が小さいので、真空度が多少変化しても安定して電子を効率良く放出（放射）することができ、低真空度でも良好な電子放出特性が得られ従来のような高真空で使用する必要がないから、電界放射型電子源 10 を利用する装置の低コスト化が図れるとともに取扱いが容易になる。

【0029】次に、本実施形態の電界放射型電子源の電子放出の機構について説明する。

【0030】まず、電子放出の機構を調べるために、陽極酸化処理後の図 3（b）の試料の PPS 層 4 断面を TEM（透過型電子顕微鏡）により観察したところ、柱状のポリシリコンの周辺に、ナノメータオーダ（直径 5 nm 前後）の微結晶シリコン層が成長していることが確認された。また、ポリシリコン層 3 成膜後の図 3（a）の試料の断面を TEM により観察したところ、膜成長方向（図 3（a）の上下方向）の細い柱状のグレイン（結晶粒）の集合体（柱状構造）でポリシリコン層 3 が構成されていることが確認された。TEM によるこれらの観察結果を比較した結果、ポリシリコン層 3 の陽極酸化反応は、グレインの境界で優先的に進み、つまり、柱状構造の柱と柱との間を深さ方向に陽極酸化が進行し、陽極酸化後も柱状のシリコングレインの構造が残っているものと考えられる。これは、多孔質層（PPS 層 4）の形成

速度が単結晶シリコン基板を陽極酸化してポーラスシリコン層を形成する場合に比べて速くなるので、量子閉じ込め効果が現れるナノメータオーダの微結晶シリコン層の空間密度が低くなる一方で比較的大きい柱状のグレインが残留しているのではと考えられる。ここにおいて、柱状のグレイン構造が残留するという事は、電気伝導性の制御および構造的・熱的安定性からみれば、柱状構造のポリシリコン層を陽極酸化処理することにより形成された多孔質多結晶シリコンは通常の塊状のポリシリコン層を陽極酸化処理することにより形成される多孔質多結晶シリコンよりも優れた性質をもつと考えられる。

【0031】上述のTEM観察の結果から、図3(d)に示す急速熱酸化された多孔質ポリシリコン層6(RTO-PPS層6)は、つまり、強電界ドリフト層は、図1に示すように、少なくとも、柱状の半導体結晶であるポリシリコン61と、ポリシリコン61の表面に形成された薄いシリコン酸化膜62と、柱状のポリシリコン61間に介在するナノメータオーダの半導体微結晶である微結晶シリコン層63と、微結晶シリコン層63の表面に形成され当該微結晶シリコン層63の結晶粒径よりも小さな膜厚の絶縁膜であるシリコン酸化膜64とから構成されると考えられる。

【0032】しかして、本実施形態の電界放射型電子源10では、次のようなモデルで電子放出が起こると考えられる。すなわち、金薄膜7をn形シリコン基板1に対して正極として印加する直流電圧 V_{ps} が所定値(臨界値)に達すると、n形シリコン基板1側からRTO-PPS層6に熱的励起により電子 e^- が注入される。一方、RTO-PPS層6に印加された電界はほとんどシリコン酸化膜64にかかるから、注入された電子は酸化膜64にかかっている強電界により加速されRTO-PPS層6におけるポリシリコン61の間の空間を表面に向かって図1中の矢印Aの向きへ(図1中の上方向へ向かって)ドリフトする。ここに、RTO-PPS層中の電子のドリフト長は後述のように微結晶シリコン層63の粒径に比べて非常に大きいので、ほとんど衝突を起こすことなくRTO-PPS層6の表面に到達する。RTO-PPS層6の表面に到達した電子 e^- はホットエレクトロンであって、ホットエレクトロンは熱平衡状態よりも数kT以上のエネルギーを有するので、RTO-PPS層6の最表面の酸化層を介して金薄膜7を容易にトンネルし真空中に放出される。

【0033】ところで、本実施形態の電界放射型電子源10では、上述の図7で説明したようにポッピングノイズが発生せずに高効率で安定して電子を放出することができるが、これは、RTO-PPS層6は各グレインの表面が多孔質化し各グレインの中心部分(図1のポリシリコン61)では結晶状態が維持されていることから、電圧の印加により生じた熱が上記結晶状態が維持された

部分(図1のポリシリコン61)を伝導して外部に放出され、温度上昇が抑制されるからであると推考される。

【0034】以上をまとめると、強電界ドリフト層たるRTO-PPS層6は、強電界が存在しうる半絶縁性を備え、また、電子散乱が少なくドリフト長が大きく、さらに、ダイオード電流 I_{ps} の熱暴走を抑えるだけの熱伝導率を有するので、高効率で安定して電子を放出することができるのだと考えられる。

【0035】上述のようなホットエレクトロンのトンネリングによる電子放出の機構を支持する事項として、①表面での強電界効果、②電子のドリフト長、③放出電子のエネルギー分布、それぞれについて説明する。

①表面での強電界効果

従来例で説明したn形単結晶シリコン基板を陽極酸化して得られるポーラスシリコンにより形成されるダイオード(以下、ポーラスシリコンダイオードと称す)では、冷電子放出まで至らない低電圧領域においてまずエレクトロルミネセンス(以下、ELと称す)発光が観測される。この発光機構を考えると、基板はn形であることから、電子が発光再結合するために必要なホールの発生がどのような機構で起こるかが問題となる。ホールの生成機構としては、EL発光特性の解析から、微結晶シリコン層の価電子帯から隣接した微結晶シリコン層の伝導帯への電子トンネリング、および衝突電離による電子なだれ、の2つの過程が提案されている(T.Oguro et al, J. Appl. Phys. 81(1997)1407-1412)。

【0036】これらの2つの過程はいずれも強電界の存在によっではじめて生じうる効果である。また、印加電界によるPLクエンチングの励起波長依存性の測定結果に基づく見積もりによれば、EL発光時のポーラスシリコンダイオードでは、 10^5 V/cm 程度の強電界がポーラスシリコン層の表面から数百nmの深さまでの比較的浅い領域に存在している。電子放出はELよりもさらに高い印加電圧から始まるから、電子放出にはホットエレクトロンが関与していると考えられる。

【0037】これに対し、本実施形態では、RTO処理によって酸化層がRTO-PPS層6の表面側に特に集中して形成されているので、ポーラスシリコン層と同様に、表面付近で生じる強電界がホットエレクトロンの生成とトンネル放出を引き起こしていると考えられる。

②電子のドリフト長

ポーラスシリコン層の光導電効果に関連したキャリア飛行時間(time-of-flight:TOF)測定の結果によれば、強電界下(10^5 V/cm)にあるポーラスシリコン層内のキャリアのドリフト長は約 $1 \mu\text{m}$ にも及ぶことが報告されている(R.Sedlacik et al, Thin Solid Films 255(1993)269-271)。これはポーラスシリコン層中の微結晶シリコン層のサイズをはるかに超える値であり、伝導電子が容易にホット化しうることを意味する。要するに、ポーラスシリコン層中の電子伝導を支配している

は単結晶シリコン構造そのものではなく、強電界が存在する微結晶シリコン層の表面層ないし微結晶シリコン層間の薄いシリコン酸化膜などの界面組織であるといえる。

【0038】これらのことは本実施形態におけるRTO-PPS層6にも当てはまり、同程度の電界が存在する場合、電子のドリフト長はポリシリコン61のグレインサイズ（本実施形態では200nmないし300nm）に比べて十分に長くなり、表面に到達した電子がホットエレクトロンになっていることが容易に推察される。

③放出電子のエネルギー分布

本実施形態の電界放射型電子源10から放射される電子のエネルギーN(E)のエネルギー分布を測定した結果を図9に示す。図9において、イは直流電圧Vpsを12Vとした場合、ロは直流電圧Vpsを15Vとした場合、ハは直流電圧Vpsを18Vとした場合、をそれぞれ示す。

【0039】図9から、電子のエネルギーN(E)のエネルギー分布は比較的にブロードであって、しかも数eVの高エネルギー成分を含んでおり、印加する直流電圧Vpsの増加とともにピーク位置が高エネルギー側へシフトすることがわかった。したがって、RTO-PPS層6での電子散乱は少なく、RTO-PPS層6の表面側に到達した電子は十分なエネルギーを有するホットエレクトロンであると考えられる。つまり、擬似弾道型（パルスティック）電子放出現象が起こっていると考えられる。

【0040】なお、RTO-PPS層6の表面に到達した電子が熱平衡状態にまで緩和してしまう強い散乱を受けていないということは、RTO-PPS層6内でのエネルギー損失、すなわち、熱発生が少なく、ダイオード電流Ipsを一定に保持する効果を生む。さらに、RTO-PPS層6中に残存している柱状のポリシリコン61（図1参照）が熱の拡散に寄与しポッピングノイズの発生を抑制していると考えられる。

【0041】なお、上記実施形態では、n形シリコン基板1上に堆積した柱状構造を有するポリシリコン層3に陽極酸化処理を施しているが、最終的に図1に示すような構造が得られれば塊状のポリシリコン層を堆積して陽極酸化処理を施してもよい。また、ポリシリコン層3を堆積する替りに、n形シリコン基板1の主表面から所定深さまでn形シリコン基板1の表面側を柱状にマイクロ加工し陽極酸化処理を施すようにしてもよい。

【0042】ところで、上記実施形態では、導電性基板としてn形シリコン基板1（抵抗率が略0.1Ωcmの（100）基板）を用いているが、導電性基板はn形シリコン基板に限定されるものではなく、例えば、クロムなどの金属基板や、ガラス基板などに透明導電性薄膜（例えば、ITO: Indium Tin Oxide）や白金やクロムなどの導電性膜を形成した基板などを用いてもよく、n形シリコン基板などの半導体基板を用いる場合に比べて大面積化及び低コスト化が可能になる。

【0043】また、ポリシリコン層3の成膜は、導電性基板が半導体基板の場合にはLPCVD法やスパッタ法により行ってもよいし、あるいは、プラズマCVD法によってアモルファスシリコンを成膜した後にアニール処理を行うことにより結晶化させて成膜してもよい。また、導電性基板がガラス基板に導電性薄膜を形成した基板の場合には、CVD法によって導電性薄膜上にアモルファスシリコンを成膜した後エキシマレーザでアニールすることにより、ポリシリコン層3を形成してもよい。また、導電性薄膜上にポリシリコン層3を形成する方法はCVD法に限定されるものではなく、例えばCGS（Continuous Grain Silicon）法や触媒CVD法などを用いてもよい。なお、ポリシリコン層3をCVD法などにより基板上に堆積させる場合、堆積されるポリシリコン層は基板のオリエンテーションが強く影響するので、ポリシリコン層3を単結晶シリコン（100）基板以外の基板上に堆積させる場合には、基板の主表面に対して垂直方向へ柱状に成長する堆積条件を設定すればよい。

【0044】また、上記実施形態では、RTO技術によってPPS層4及びポリシリコン層3を急速熱酸化しているが、急速熱酸化に限らず、化学的方法により酸化してもよし、酸素プラズマにより酸化してもよい。また、酸化の替りに窒化するようにしてもよく、窒化の場合には、窒素プラズマによる窒化や熱的な窒化などの方法を用いればよい。すなわち、図1におけるシリコン酸化膜64よりなる絶縁膜の替りにシリコン窒化膜を絶縁膜として採用してもよい。

【0045】また、上記実施形態においては、金属薄膜として金薄膜7を用いているが、金属薄膜の材料は金に限定されるものではなく、仕事関数の小さな金属であればよく、例えば、アルミニウム、クロム、タングステン、ニッケル、白金などを用いてもよい。ここに、金の仕事関数は5.10eV、アルミニウムの仕事関数は4.28eV、クロムの仕事関数は4.50eV、タングステンの仕事関数は4.55eV、ニッケルの仕事関数は5.15eV、白金の仕事関数は5.65eVである。

【0046】

【発明の効果】請求項1ないし請求項4の発明は、導電性基板と、導電性基板の一表面側に形成された強電界ドリフト層と、該強電界ドリフト層上に形成された金属薄膜とを備え、金属薄膜を導電性基板に対して正極として電圧を印加することにより導電性基板から注入された電子が強電界ドリフト層をドリフトし金属薄膜を通して放出される電界放射型電子源であって、前記強電界ドリフト層は、少なくとも、導電性基板の主表面に略直交して列設された柱状の半導体結晶と、半導体結晶間に介在するナノメータオーダの半導体微結晶と、半導体微結晶の表面に形成され当該半導体微結晶の結晶粒径よりも小さ

な膜厚の絶縁膜とからなるので、電子放出特性の真空度依存性が小さく且つ電子放出時にポッピング現象が発生せず安定して高効率で電子を放出することができ、また、導電性基板として単結晶シリコン基板などの半導体基板の他にガラス基板などに導電性膜を形成した基板などを使用することもできるから、従来のように半導体基板を多孔質化した多孔質半導体層を利用する場合やスピント型電極に比べて、電子源の大面积化及び低コスト化が可能になるという効果がある。

【図面の簡単な説明】

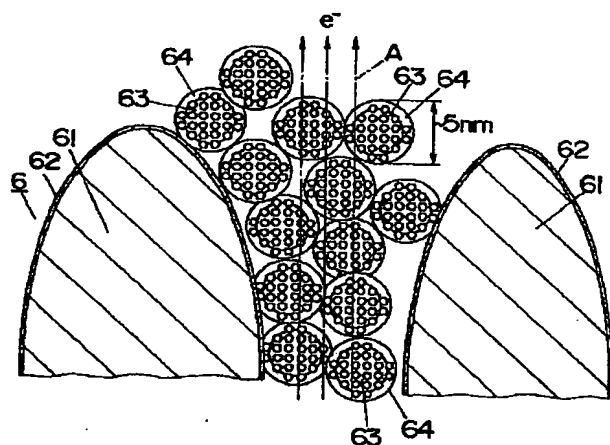
【図1】本発明の電界放射型電子源の電子放出機構の原理説明図である。

【図2】本発明の実施形態を示す断面図である。

【図3】同上の製造プロセスを説明するための主要工程断面図である。

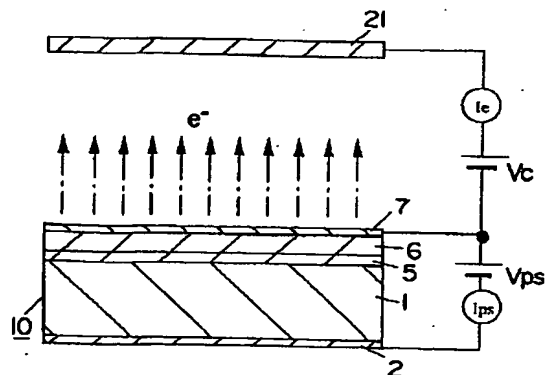
*

【図1】



- 6 急速熱酸化された多孔質ポリシリコン層
- 61 ポリシリコン
- 62 シリコン酸化膜
- 63 微結晶シリコン層
- 64 シリコン酸化膜

【図4】



* 【図4】 同上の放射電子の測定原理の説明図である。

【図5】 同上の電圧電流特性図である。

【図6】 図5のデータをFowler-Nordheimプロットしたグラフである。

【図7】 同上の電流の経時変化を示すグラフである。

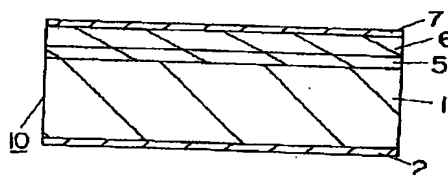
【図8】 同上の電流の真空度依存性を示すグラフである。

【図9】 同上の放射電子のエネルギー分布の説明図である。

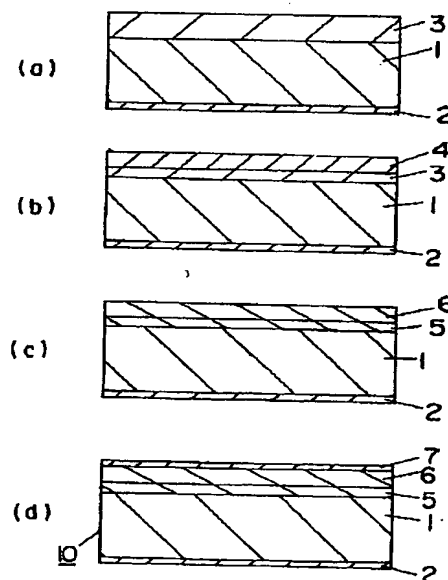
10 【符号の説明】

- 6 急速熱酸化された多孔質ポリシリコン層
- 61 ポリシリコン
- 62 シリコン酸化膜
- 63 微結晶シリコン層
- 64 シリコン酸化膜

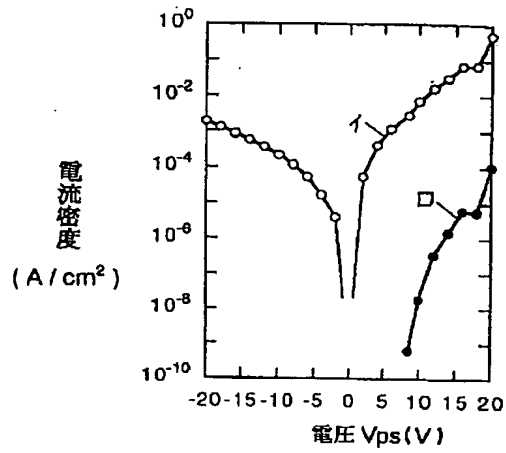
【図2】



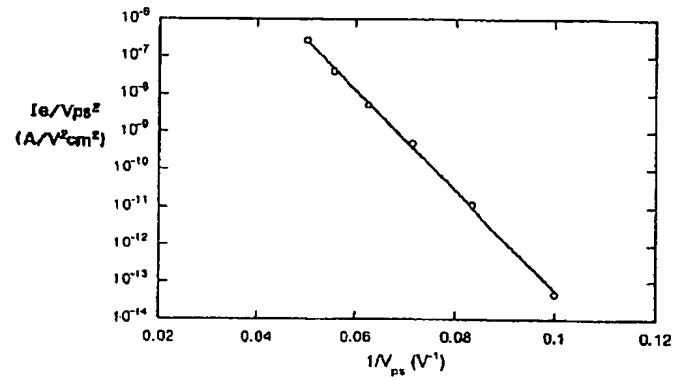
【図3】



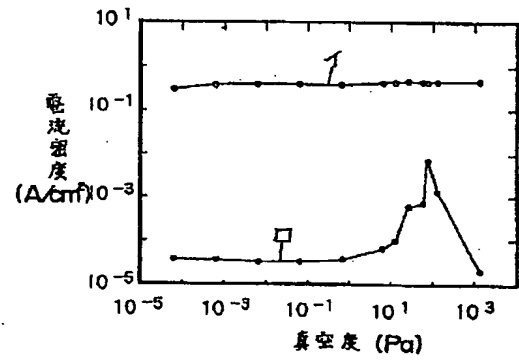
【図5】



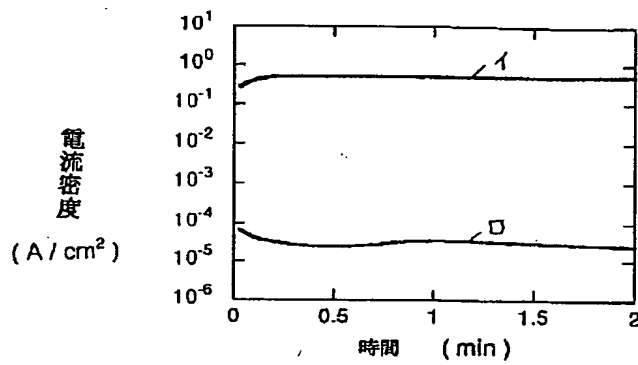
【図6】



【図8】



【図7】



【図9】

